

# 第 1 章

## 引 论

集成电路 (Integrated Circuit, IC) 对一般人来说也许会有陌生感, 但其实我们和它打交道的机会很多, 如计算机、电视机、手机、网站、取款机等中都含有集成电路, 数不胜数。除此之外, 在航空航天、星际飞行、医疗卫生、交通运输、武器装备等许多领域中, 几乎都离不开集成电路的应用。在当今世界, 说它无孔不入并不过分。

所谓集成电路, 就是在一块极小的硅单晶片上, 利用半导体工艺制作出许多二极管、晶体管及电阻、电容等, 并连接成能完成特定电子技术功能的电子电路。从外观上看, 它已成为一个不可分割的完整器件。集成电路在体积、重量、耗电、寿命、可靠性及电性能方面远远优于由晶体管组成的电路。

在当今这信息化的社会中, 集成电路已成为各行各业实现信息化、智能化的基础。无论是在军事还是在民用上, 它都起着不可替代的作用。集成电路产业是全球范围内的核心高科技产业之一, 具有战略性和市场性双重特性。在国防和国家安全领域, 集成电路起着维护国家利益、捍卫国家主权的关键作用; 在经济建设和增强综合国力的过程中, 集成电路又是核心竞争力的具体表现。自 20 世纪中期以来, 集成电路产业遵循摩尔定律飞速发展。集成电路产业的兴起为现代信息技术奠定了基础, 现代信息技术正在迅速地改变着世界及人们的生活方式, 没有半导体技术突飞猛进的发展, 就没有信息技术日新月异的变化。

### 1.1 集成电路发展史简介

集成电路的发展经历了一个漫长的过程, 这里以时间顺序来简单地介绍它的发展过程。

1906 年, 第一个电子管诞生; 1912 年前后, 电子管的制作日趋成熟, 引发了无线电技术的发展; 1918 年前后, 逐步发现了半导体材料; 1920 年, 发现半导体材料所具有的光敏特性; 1932 年前后, 运用量子学说建立了能带理论以研究半导体现象; 1947 年, 美国贝尔实验室的巴丁等人发明了晶体管, 如图 1-1 所示。作为划时代的发明, 他们因此获得了 1956 年诺贝尔物理学奖。

1952 年, 英国科学家 G.W.A.Dummer 第一次提出了集成电路的设想; 1958 年, TI 公司的科学家 Clair Kilby 与仙童公司的 Robert Noyce 先后独立地发明了集成电路, 如图 1-2 所

## 2 集成电路静态时序分析与建模

示。Kilby 等人获得了 2000 年诺贝尔物理学奖，以表彰他们为现代信息技术所做出的基础性贡献。

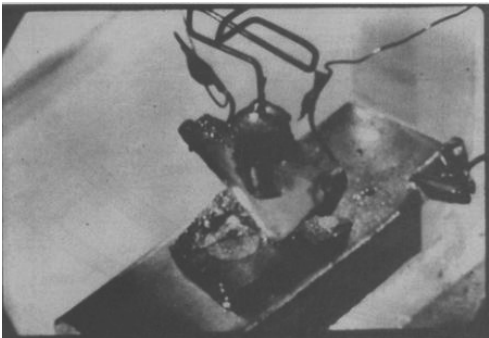


图 1-1 巴丁等人发明的晶体管

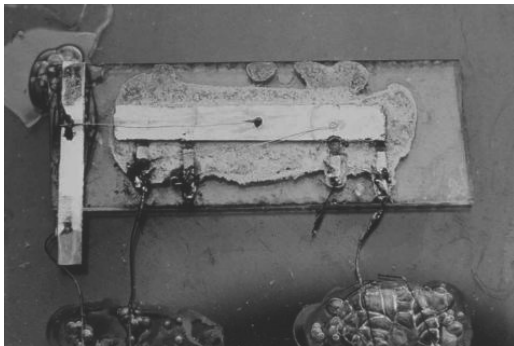


图 1-2 第一块集成电路

1966 年，美国的贝尔实验室使用比较完善的硅外延平面工艺制造成第一块公认的大规模集成电路。1971 年，Intel 公司生产出第一个微处理器芯片 4004，如图 1-3 所示。

1988 年，16M DRAM 问世，在  $1\text{cm}^2$  大小的硅片上集成了 3500 万个晶体管，这标志着进入了超大规模集成电路的更高阶段。1997 年，300MHz 奔腾 II 问世，它采用  $0.25\mu\text{m}$  工艺，奔腾系列芯片的推出让计算机的发展如虎添翼，发展速度让人惊叹。2009 年，Intel 酷睿 i 系列全新推出，采用 32nm 工艺。



图 1-3 第一个微处理器芯片 4004

集成电路的集成度从小规模到大规模、再到超大规模的迅速发展，关键就在于集成电路的布图设计水平的迅速提高，集成电路的布图设计由此而日益复杂而精密。这些技术的发展，使得集成电路的发展进入了一个新的发展阶段。相信随着科技的发展，集成电路还会有更高水平的发展。

### 1.2 国内集成电路的发展现状

集成电路对国民经济发展的倍增作用已被人们充分认识，它可表示为：IC 业：电子整机业：应用服务业 = 1 : 10 : 100。有关资料表明，集成电路对一个国家经济发展的贡献率远大于其他产业：钢铁对国民生产总值（GNP）的贡献率为 1，汽车对 GNP 的贡献率为 5，彩电对 GNP 的贡献率为 30，计算机对 GNP 的贡献率为 1000，而集成电路对 GNP 的贡献率为 3000。发达国家 GNP 增长部分的 65% 与 IC 业相关，尤其是集成电路高级产品：芯片，它被

人们形象地比喻为国家的“工业粮食”，是信息产业的核心，是所有整机设备的“心脏”。据国际货币基金组织测算，芯片1元的产值可带动相关电子信息产业10元产值，带来100元的GDP。因此，欧美发达国家纷纷将芯片产业列入国家战略产业。

我国集成电路产业诞生于20世纪60年代，经过50多年的发展，目前已形成一定的发展规模，由7个芯片生产骨干企业，十几个重点封装厂，几十家设计公司，若干个关键材料及专用设备仪器制造厂组成的产业群体初步形成，电路设计、芯片制造和电路封装三业并举。

国内集成电路产业最近几年获得了较快的发展，一些优势企业的竞争力开始显现。以增长最快的设计业为例，2011年，IC设计业销售额达到473.74亿元，同比增长30.2%；2012年，我国设计企业前10家的销售额总和达到231.17亿元，比上年增加29.7亿元，10家企业的销售额总和占全行业销售额总和的33.97%，比上年（31.76%）增加2.21%。但是，打价格战还是主要的商业策略，“正向设计”依然未形成主流，基础能力提升不快的状况仍未改观。全行业的销售额总和有可能还低于世界排名第一的设计企业销售额。近十几年来，我国大陆境内IC制造生产线快速增加，“十·五”期间增加了16条，“十一·五”期间增加了20条，大尺寸线在总量中所占比例也在逐步上升。2011年，虽然芯片制造业同比仍有8.9%的增速，规模达到486.91亿元，但销售收入增速出现明显回落。目前，国内芯片制造厂有近50家，具有200mm及300mm的纯芯片代工企业已有7家：中芯国际、华虹NEC、上海宏力、海力士一意法半导体（无锡）、和舰科技、台积电（上海）、上海先进，形成了颇具规模的企业群体和生产能力。

需要特别指出的是，虽然我国大陆境内IC制造生产线快速增加，但其投资主体多为外资转移的生产线或中外合资合作，并非国有控股，涉及国家安全的战略性支撑缺失。国防军用IC开发自主可控绝对是必要的。对IC的“信任”不可能在设计或制造之后加入。军品所需的安全性、及时性、高可靠、抗极端环境等要求是“委外代工”或“民用代工”无法达到的。在设计、制造和封装测试三大生产环节中，封测可能是技术含量相对较低的部分，也是最靠近市场的后端生产环节。因此，国（境）外封装测试代工企业大量地将其封装产能转移至中国大陆境内，直接促进了我国封测产业规模的迅速扩大。2010年，国内集成电路产业销售收入规模为1440.2亿元，其中，封测业销售收入规模为639亿元，占集成电路产业总销售收入的比重约为44%。

根据邓中翰院士的观点，近几年尽管我国取得了可喜的进步，但是我国每年进口芯片仍然高达2000多亿美元。据海关总署在2014年1月公布的数据，2013年全年我国集成电路进口额为2322亿美元，比上年同期的1724.99亿美元增长了34.6%；逆差达到1441亿美元，较上年同期的1391亿美元扩大了50亿美元，连续第4年扩大。而同2013年相比，2014年虽然中国原油进口量继续大幅增长，但进口额度只有2196亿美元，较前一年同期下降了0.5%。这也说明，2014年我国芯片进口额度与石油进口额度的比例也在进一步扩大。

## 4 集成电路静态时序分析与建模

### 1.3 国际集成电路的发展态势

根据国际半导体技术发展路线图 (ITRS), 国际集成电路技术大致有 3 个主要趋势:

1) 延续摩尔定律, 继续按比例缩小, Intel CMOS 技术已达到 22nm 工艺节点, 于 2013 年引入 14nm 工艺节点, 且正在部署 7nm。台积电最高端的 CMOS 已达到 28nm。

2) 功能集成 (称为拓展摩尔定律), 即在单个芯片 / 封装 / 模块上更多地集成 RF、功率控制、无源器件等功能单元。

3) 发展新兴材料和器件, 预计到 2019 年, 可研究出超过 CMOS 器件性能的新器件, 继续提高 CMOS 工艺的能力。

### 1.4 静态时序分析技术

随着芯片尺寸的减小和集成度密集化的增强、电路设计复杂度的增加、电路性能要求的提高等, 新的变化都对芯片内的时序分析提出了更高的要求。静态时序分析是大规模集成电路设计中非常重要的一个环节, 它能验证设计在时序上的正确性, 并决定设计是否能够在要求的工作频率下运行。

#### 1.4.1 静态时序分析简介

静态时序分析 (static timing analysis, STA) 是分析、调试并确认一个门级系统设计时序性能的比较彻底的方法。在门级电路设计过程中, 为得到一个最佳的电路设计, 在结构逻辑、电路布局布线等方面, 时序分析起着关键性的作用。静态时序分析既要检验门级电路的最大延迟、以保证电路在指定的频率下能够满足建立时间的要求, 同时又要检验门级电路的最小延迟、以满足保持时间的需求。芯片的设计只有通过了静态时序分析才能真正完成, 甚至在从逻辑综合开始后的每一个设计步骤的结果都需要满足或部分满足时序的要求。

#### 1.4.2 静态时序分析背景

集成电路设计初期流程中, 设计者使用动态仿真来验证整个设计或部分设计的功能和时序。动态仿真需要专门设计的仿真向量来检验设计中的时序关键路径和时序信息。这种方法根据芯片的动态时序行为使用输入向量来检验功能路径。基于动态仿真的方法既能够验证设计的功能, 也能够验证设计的时序, 这是一种非常流行的时序验证策略。随着设计规模的增大, 验证一个设计需要测试的向量的数量按指数级增长, 而且这种方法难以保证足够的覆盖率。在大型设计中, 如果仅用传统的动态仿真方法, 则所需时间及工作量都难以承受。目前, 设计人员在整个设计周期中需要花费 50% 以上的时间来执行设计的功能和时序验证。设计人员必须为验证创建独立时序向量和功能向量。创建能够彻底地检验设计中每一条路径的时序向量是非常困难的。随着设计尺寸和复杂性的增加, 并且由于上市时间的压力导致整个

设计周期缩短，向量产生的问题逐渐显现出来。现存的仿真工具并没有足够的性能和能力对几百万门的设计进行完整的时序仿真。更大设计的出现以及庞大的向量集合使得动态仿真在设计流程中成为一个严重的瓶颈。上市时间的压力、芯片的复杂度、传统仿真器的仿真速度和计算能力上的限制都促进了时序分析技术从动态向静态迁移。

### 1.4.3 静态时序分析的优缺点

时序分析是评定一个集成电路设计在特定工作频率上正常工作的能力，尽管这样的时序测量在理论上能够使用动态仿真来实现，但动态仿真的方法在实际使用中非常耗时。静态分析由于具备如下优点而在测量和优化电路时序方面扮演着重要的角色。

静态时序分析的优点如下。

1) 静态时序分析执行速度快。

高性能集成电路通常根据其工作的时钟频率来描述其特性，设计者常常将工作时钟频率作为高性能的集成电路的特性之一。为了测试电路在指定速率下运行的能力，设计者需要在设计过程中测量电路在不同工作阶段的延迟。此外，在不同的设计阶段（如逻辑综合、布局、布线等）需要对时间优化程序内部进行延迟计算。尽管可以通过严格的 SPICE 电路仿真来进行此类时间测量，但是这种方法在实用中会耗费大量时间。静态时序分析在电路时序快速、准确的测量中扮演了重要角色。

2) 静态时序分析不需要测试向量。

静态时序分析之所以能够更快速地完成任务，是因为它使用了简化的模型，而且它有限地考虑了信号之间的逻辑互动，同时不依赖于激励且能穷尽分析所有的时序路径。它不仅比动态仿真运行速度快，占用内存少，而且能分别在版图前、后根据仿真模型以及提取的寄生参数对各种时序路径进行检测。由于静态时序分析的方法不需要任何测试向量，所以所需要的时间远远少于门级动态仿真。

3) 静态时序分析对于有时序路径的时序，测试覆盖率可以近乎达到 100%。

静态时序分析可以降低验证的复杂性，同时静态时序分析提供一种针对大规模设计验证的有效解决方法，它将整个设计分解成一系列路径的集合，然后以此为基本单位，分析并报告每条路径的延时是否满足时序约束要求。而在动态仿真中，为了达到相同的分析覆盖率所需的仿真向量是极其庞大的，也是不可能完成的。由于静态时序分析并不基于测试向量，所以典型情况下非常快速，并且能够适应非常大的设计，同时很好地实现了近乎 100% 的约束覆盖率。

4) 静态时序分析能够完成动态仿真所不能实现的复杂分析。

静态时序分析可以识别的时序故障数量要远多于动态仿真，例如最大和最小延时路径分析，建立和保持时间分析，时钟信号质量分析，报告不受时序约束的逻辑路径等。

静态时序分析的优点并不意味着它能够完全替代动态仿真。静态时序与动态仿真相比，也有自身的缺点，静态时序验证工具与动态仿真验证工具必须协同存在。

## 6 集成电路静态时序分析与建模

静态时序分析的缺点如下：

- 1) 静态时序分析不能验证设计的功能，设计功能验证还必须使用功能仿真来实现。
- 2) 静态时序分析只能验证同步时序电路的时序特性，如果设计中含有较多的异步电路，则应该通过门级动态仿真来验证。
- 3) 静态时序分析不能自动识别设计中的特殊路径，比如多周期路径（multi-cycle path）、非正常路径（false path）、多时钟分配关系（multiple clock）等，这需要设计者手动地通过时序约束文件来指导静态时序分析。

### 1.5 主流静态时序分析与建模工具介绍

集成电路设计中业界主要使用 Cadence 公司和 Synopsys 公司的时序分析工具来完成大部分的时序分析工作。

#### 1. Encounter Timing System

Cadence 公司的 Encounter Timing System 为客户提供了面向时序、信号完整性 (SI) 和功耗的统一数据源——从设计和物理实现，到最后的签收 (signoff) 分析。它不仅满足了实现和签收分析的需要，前端设计团队还可以利用其全局时序调试功能，实现精确的根源分析和迅速的时序收敛，并且它还拥有着强大的图形用户界面。通过 Encounter Timing System，数字 IC 设计师可以克服不断缩小的工艺节点带来的困难，缩短上市时间、提高效率，将信号完整性分析应用到设计流程的各个方面，并降低总生产成本。Cadence 公司的 Encounter Timing System 具备了 CeltIC NDC 领先的信号完整性分析和悲观剔除技术 (pessimism removal) 的全部优点，具备了达到签收质量的时序、延迟计算、电源完整性等功能，并且与 Encounter Conformal 技术紧密结合，以在设计流程所有阶段得到全局、系统级的时序视图。其他功能包括关键路径模拟、SPICE 追踪、电迁移分析、统计时序，以及计算功耗优化及低功耗设计架构的能力。

Cadence 公司的 Encounter Timing System 工具如图 1-4 所示。

#### 2. PrimeTime

Synopsys 公司的 PrimeTime 是针对复杂、亿万门芯片进行全芯片、门级静态时序分析的工具。PrimeTime 可以集成逻辑综合和物理综合的流程，让设计者分析并解决复杂的时序问题，并提高时序收敛的速度。PrimeTime 是众多半导体厂商认可的、业界标准的静态时序分析工具。PrimeTime 强大的性能得益于对生成报告和基于标准延迟文件 (SDF) 的时序分析方面的算法的改进。PrimeTime 提供全芯片级的静态时序分析，同时整合了延迟计算和先进的建模功能，以实现有效而又精确的时序认可。PrimeTime SI 是全芯片门级信号完整性分析工具。PrimeTime SI 建立在成功流片验证过的 PrimeTime 平台之上，提供精确的串扰延迟分析、IR Drop (电压降落) 分析和静态时序分析。PrimeTime 业界领先的超快运行时间和处理容量让数亿万门的复杂设计一次流片成功，缩短芯片进入市场的时间。

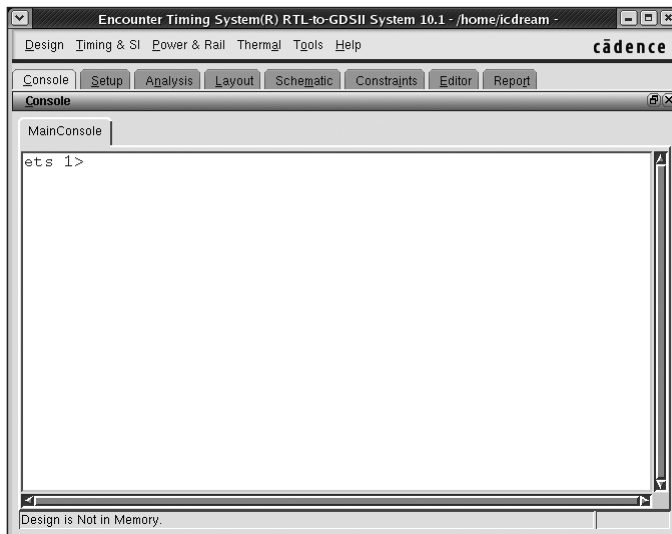


图 1-4 Encounter Timing System 工具界面

Synopsys 公司的 PrimeTime 工具如图 1-5 所示。

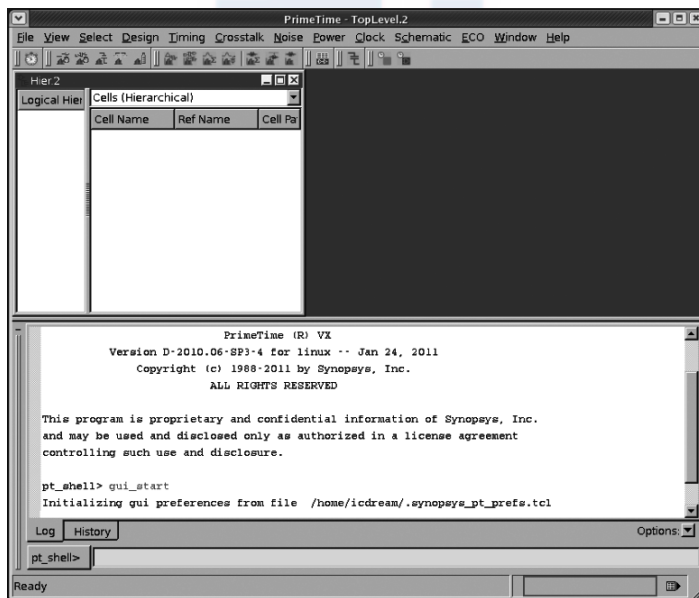


图 1-5 PrimeTime 工具界面

### 3. Nanotime

NanoTime 是 Synopsys 公司新一代的晶体管级静态时序分析工具。它集对晶体管级全定制模块电路完整的静态时序验证（包括 SI 分析）和产生该模块电路 .lib 文件等强大功能于一

## 8 集成电路静态时序分析与建模

身。通过自动生成合乎 Liberty 语法规范格式的 timing library 文件, IP 设计用户可以根据应用实际情况,自由地设置输入端口信号 transition 和输出端口负载。根据设置值在 .lib 文件中查表即可获取该模块内部准确的时序信息,以完成 IP 集成后的时序检查。

NanoTime 定位于全定制数字逻辑电路的静态时序分析和 timing library 生成,因此其拥有强大的逻辑电路拓扑识别能力,可自动识别诸如 inverter、mux、xor、nand、nor、clock-gate、turnoff、cross\_coupled、latch、precharge、feedback、weak\_pullup 等大多数常见的电路结构,对于部分复杂的电路,如 latch、ram、flip-flop,可以借助某些命令加以识别,如 mark\_latch、mark\_flip\_flop、mark\_register\_file 等。在识别这些逻辑电路并设置了时序约束和工作条件后,NanoTime 会提取所有的数据和时钟路径的延迟信息(trace path),并会根据客户设置的时序约束(constrain)对内部的时序电路,如 latch、DFF 等进行 setup/hold、recovery / remove 等检查。

### 4. Encounter Library Characterizer

Cadence 公司的 Encounter Library Characterizer 的前身为 SignalStorm Library Characterizer,简称 SLC,它能够自动生成最新建模格式的单元时序库。Library Characterizer 可以使用高效电流源模型(ECSM)来对时序、功耗、信号完整性等进行建模,同时也可支持 CCS 模型精确地进行噪声、多电压、电压降的建模,并用于时序和功耗分析。

### 5. Liberty NCX

Synopsys 公司的 Liberty NCX 针对不同的电压、温度等环境参数或自创的 Cells 来进行时序特征化提取。Liberty NCX 是一种取代 Synopsys 前特征化工具 NanoChar 的新型库特征化解决方案,它包括一个模型特征化引擎、一套库质量校验器及模型转换等功能。此外,Liberty NCX 还包含同时特征化和模型精确度验证能力。Liberty NCX 面向代工厂、IDM 或 IP 提供商的内部库开发组织。

### 6. Siliconsmart

Synopsys 公司的 Siliconsmart 具有业界领先的精度、吞吐量和易用性,它提供了适用于所有主流设计流程的标准单元、I/O、定制宏和存储器特征化与建模,支持所有先进时序、功耗、噪声和统计建模规格。其专有的加速电路引擎(accelerated circuit engine, ACE)全面自动化了特征化流程,部署了最先进的电路功能识别技术及矢量生成和优化算法,可在无损精度的前提下有效完成单元特征化。为获得最高性能,Siliconsmart 还嵌入了精确且超快速的 SPICE 仿真器——FineSim (TM) SPICE,实现了几个数量级的吞吐量提升。此外,它还包含了一个闭环模型验证流程,让用户能够无缝地在系统内启动第三方工具来验证所生成的模型。